

## Laboratorio de Arquitectura de Computadoras Practica No. 4 Secuenciadores

**Objetivo:** Familiarizar al alumno en el conocimiento de los secuenciadores, los cuales son una parte fundamental de un procesador.

**Desarrollo:** Para cada uno de los siguientes apartados, realizar los diseños electrónicos que se piden en VHDL y probarlos en las tarjetas de desarrollo de los FPGAs.

1.- La figura 1 muestra el diagrama de bloques de un secuenciador básico. Como se puede observar en el diagrama, la dirección del estado siguiente, dada por el bus Y, puede venir de dos lugares posibles: 1) del registro  $\mu$ PC, ó 2) de la entrada D.

1.1 El registro de micro-programa ( $\mu$ PC) contiene la dirección del estado presente más uno, es decir, la dirección que se encuentra a la salida del multiplexor es incrementada en una unidad y cargada en este registro en el siguiente ciclo de reloj.

1.2 En la entrada D se introduce una dirección de salto. Esta dirección puede venir de tres lugares diferentes: del campo de liga, del registro de transformación o del registro de interrupciones.

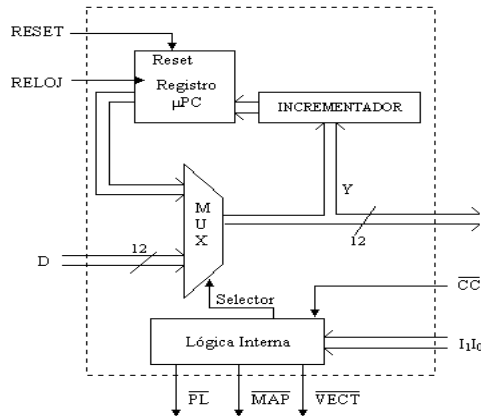


Figura 1. Diagrama de bloques interno de un secuenciador básico.

La figura 2 muestra el diagrama simbólico del secuenciador en donde se indican las señales de entrada y salida de éste.

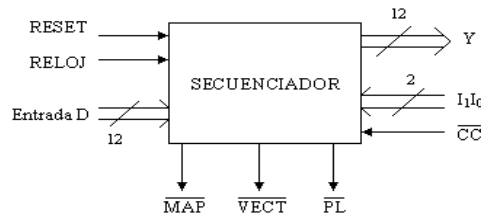


Figura 2. Secuenciador básico.

A continuación se presentan las instrucciones que este secuenciador puede ejecutar:

### 0 CONTINÚA (C)

En la instrucción continúa la dirección del estado siguiente la proporciona el registro  $\mu\text{PC}$ .

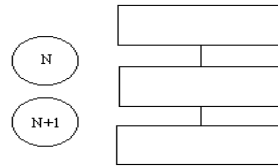


Figura 3. Representación en notación ASM de la instrucción continúa.

### 1 SALTO CONDICIONAL (SCO)

En esta instrucción se revisa el valor de la línea  $\overline{CC}$ , si es igual a uno, la dirección del estado siguiente la proporciona el registro  $\mu\text{PC}$ ; si es igual a cero, la dirección del estado siguiente, contenida en el registro seleccionado por  $\overline{PL}$ , ingresa a través de la entrada D.

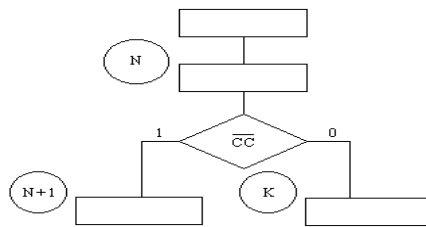


Figura 4. Representación en notación ASM de la instrucción SCO.

### 2 SALTO DE TRANSFORMACIÓN (ST)

La dirección del estado siguiente se obtiene del registro seleccionado por la línea de  $\overline{MAP}$ . Este registro también está conectado a la entrada D. Aquí se introduce una nueva notación de carta ASM: un rombo con varias bifurcaciones. La bifurcación que se elija dependerá del contenido del registro seleccionado por  $\overline{MAP}$ .

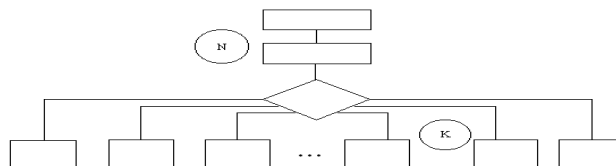


Figura 5. Representación en notación ASM de la instrucción ST.

### 3 SALTO CONDICIONAL USANDO LA DIRECCIÓN DE LAS INTERRUPCIONES (SCI)

En esta instrucción se revisa el valor de  $\overline{CC}$ , si es igual a uno, la dirección del estado siguiente proviene del registro  $\mu PC$ ; si es igual a cero, la dirección del estado siguiente, contenida en el registro seleccionado por  $\overline{VECT}$ , ingresa a través de la entrada D.

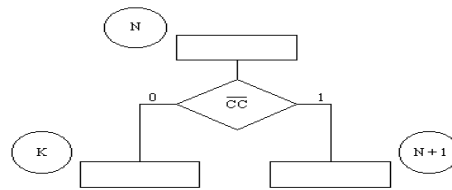


Figura 6. Representación en notación ASM de la Instrucción SCI.

Construya un secuenciador como el descrito anteriormente usando VHDL y componentes estándares, multiplexores, registros, etc, que existan en las bibliotecas del sistema de desarrollo utilizado.

2.- La figura 7. muestra el diagrama de bloques de un secuenciador conectado a una memoria.

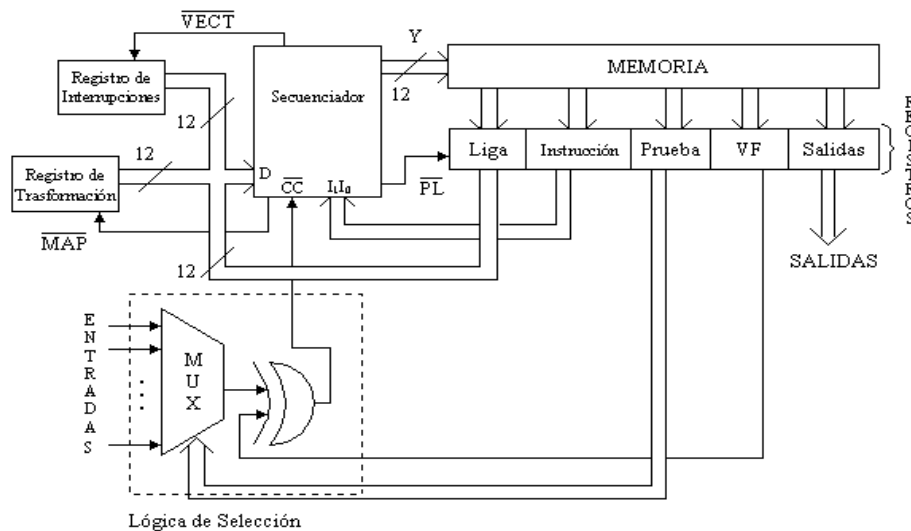


Figura 7. Secuenciador básico conectado con una memoria.

En la siguiente figura se presenta una carta ASM en donde se hace uso de todas las instrucciones que un secuenciador básico puede ejecutar. En el estado EST2 la dirección del estado siguiente está determinada por el contenido del registro de transformación, seleccionada cuando el secuenciador ejecuta la instrucción ST. En el estado EST4, la dirección del estado siguiente la proporciona el registro de interrupciones o el registro  $\mu PC$  dependiendo del valor de la entrada INT. La asignación binaria de las variables de entrada para la carta ASM es la siguiente:

$Q_x = 00$   
 $X = 01$   
 $Y = 10$   
 $INT = 11$   
 Con  $Q_x$  igual a '0' lógico.

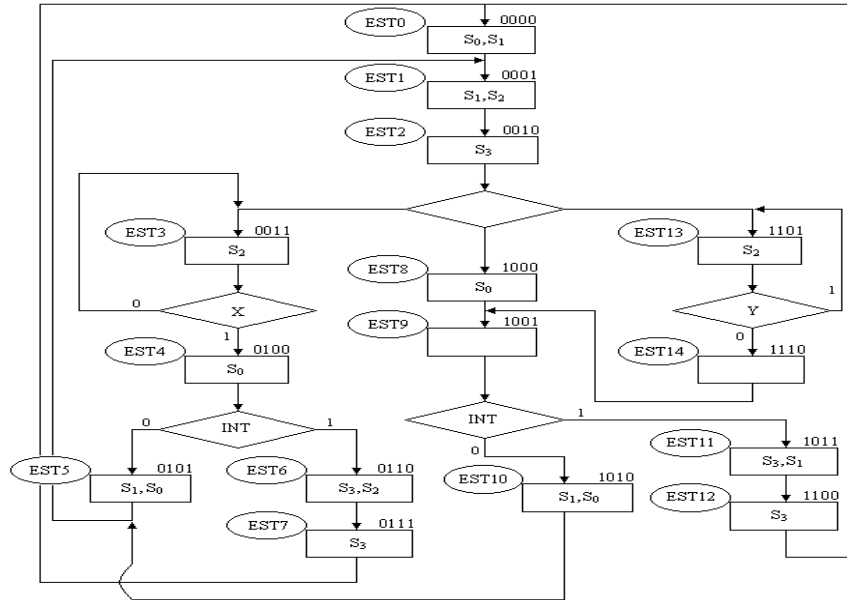


Figura 8. Carta ASM.

La tabla 1. muestra el contenido de la memoria para la carta ASM de la figura 8.

Dirección de la Memoria	Contenido de la Memoria					Mnemónico de la Instrucción
	Liga	Micro Instrucción	Prueba	VF	S <sub>0</sub> S <sub>1</sub> S <sub>2</sub> S <sub>3</sub>	
0000	0000	00	00	0	1 1 0 0	C
0001	0000	00	00	0	0 1 1 0	C
0010	0000	10	00	0	0 0 0 1	ST
0011	0011	01	01	0	0 0 1 0	SCC
0100	0000	11	11	1	1 0 0 0	SCI
0101	0001	01	00	0	1 1 0 0	SCC
0110	0000	00	00	0	0 0 1 1	C
0111	0000	01	00	0	0 0 0 1	SCC
1000	0000	00	00	0	1 0 0 0	C
1001	0000	11	11	1	0 0 0 0	SCI
1010	0001	01	00	0	1 1 0 0	SCC
1011	0000	00	00	0	0 1 0 1	C
1100	0000	01	00	0	0 0 0 1	SCC
1101	1101	01	10	1	0 0 1 0	SCC
1110	1001	01	00	0	0 0 0 0	SCC

Tabla 1. Contenido de la memoria para la carta ASM de la figura 4.8.

Construya el sistema descrito anteriormente el la figura 7 para que ejecute la carta ASM de la figura 8 usando VHDL y componentes estándares. Pruebe el sistema en las tarjetas de desarrollo del laboratorio