

---

## Arquitectura de Computadoras

### Practica No. 7

### Diseño de un Procesador RISC

---

**Objetivo:** Familiarizar al alumno en el conocimiento construcción de arquitectura de computadoras usando el concepto de procesamiento encauzado (PIPELINE) o procesadores tipo RISC.

**Desarrollo:** Para cada uno de los siguientes apartados, realizar los diseños electrónicos que se piden.

**Duración:** 3 semanas.

1. El “pipeline” ó segmentación encauzada, como se conoce en español, es una técnica utilizada en el diseño e implantación de microprocesadores en la cual múltiples instrucciones pueden ejecutarse simultáneamente. La técnica de la segmentación encauzada no reduce el tiempo que tarda una instrucción en ejecutarse, sólo incrementa el número de instrucciones que se ejecutan simultáneamente; es decir, mejora el rendimiento incrementando la productividad de las instrucciones en lugar del tiempo de ejecución de las instrucciones individuales. La arquitectura encauzada del 68HC11 ejecutará las instrucciones en cuatro etapas, como se muestra en la figura 1:

1. Etapa IF (traer la instrucción / instruction fetch). La instrucción a ejecutar es leída de la memoria de instrucciones
2. Etapa ID (decodificación / instruction decode). Se decodifica la instrucción y se traen los operandos necesarios por la instrucción (tanto de memoria como de registros internos)
3. Etapa EX (ejecución / execution). Se procesan los operandos en la UPA (unidad de procesos aritméticos)
4. Etapa WB (post-escritura / write back).

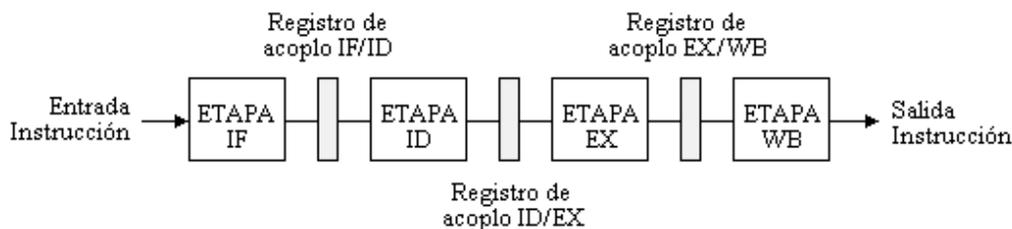


Figura 1. Etapas o segmentos.



3. Construya el hardware para la etapa de ejecución y calculo de direcciones de salto como se muestra en la figura 4:

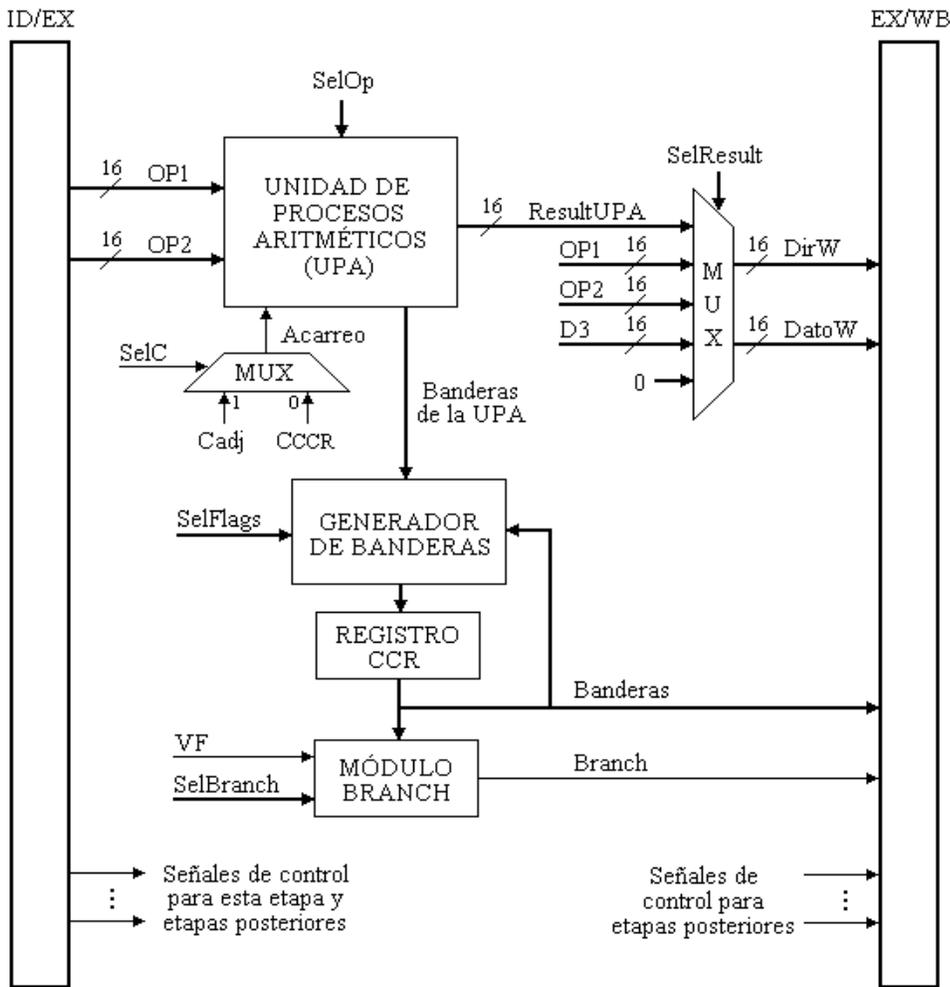


Figura 4. Hardware para la etapa EX - Ejecución.

4. Construya el hardware para la etapa de post-escritura y junte los bloques hechos en los incisos anteriores como se muestra en la figura 5 :

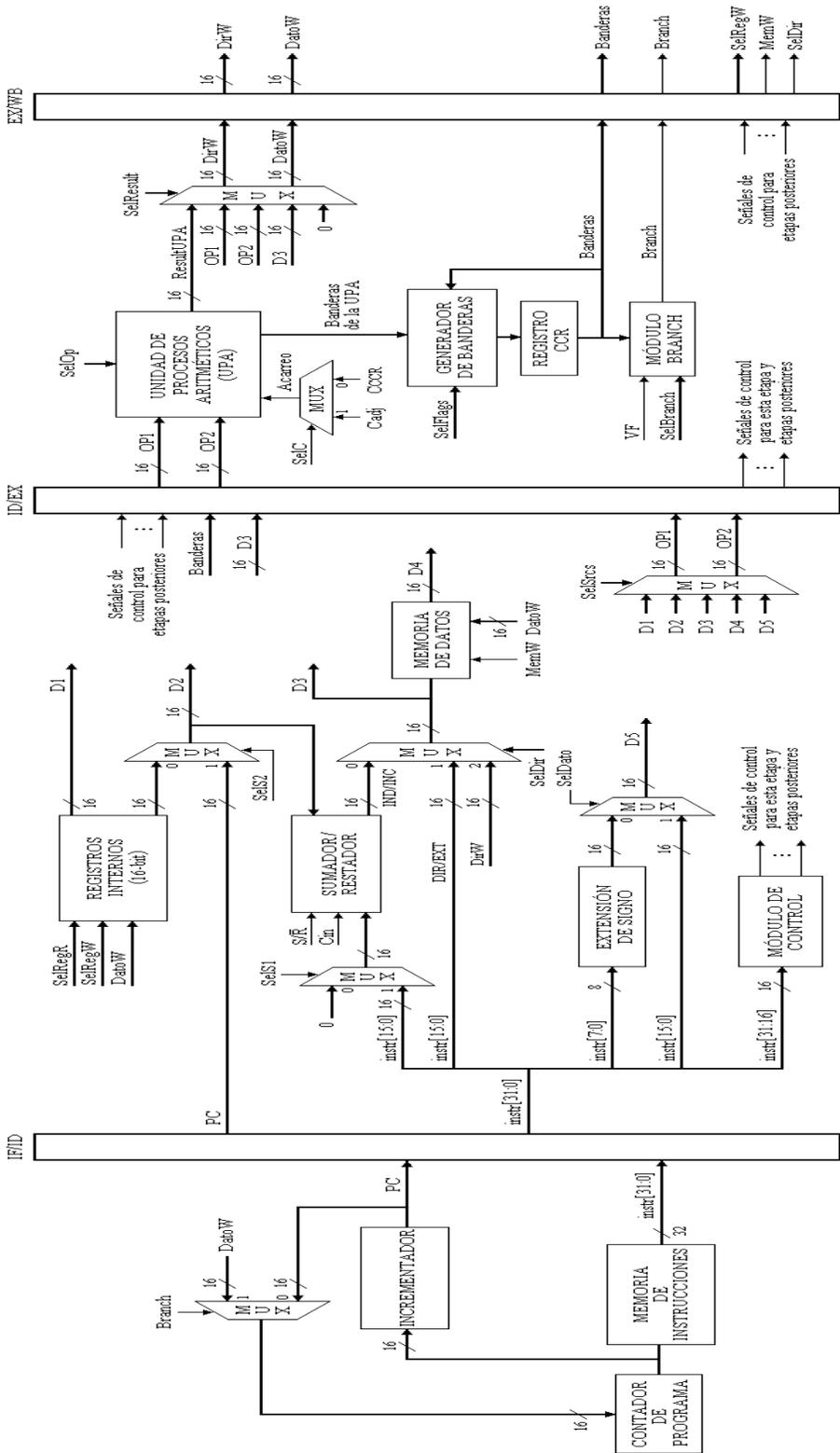


Figura 5. Arquitectura del 6811 utilizando procesamiento encauzado.

5. Pruebe su arquitectura con el siguiente código de lenguaje del 6811:

```
LDAA #$FF
LDAB #$01
LDX #$0010
ABA
BNE ET1
STAA 0,X
BRA ET2
ET1: STAB 0,X
ET2: LDAA #$07
LDAB #$02
MUL
STAA 1,X
STAB 2,X
FIN: BRA FIN
```

Compare la velocidad de ejecución de este código con la arquitectura CISC desarrollada en la practica 6 con la arquitectura RISC desarrollada en ésta.